



[10191/1145]

Patent Claim

A programmable distributor (multiplexer) for interruption requests in a computer system, the distributor forming one or more output signals from one or more input signals, characterized in that the existing hardware interrupt sources are fed to the distributor on the input side, and from one or more of these input signals one or more non-maskable interrupt signals (NMI) are formed, which are fed to the NMI input of the processor.



①2

Gebrauchsmuster

U 1

- (11) Rollennummer G 94 03 121.5
- (51) Hauptklasse G06F 9/46
- (22) Anmeldetag 25.02.94
- (47) Eintragungstag 22.12.94
- (43) Bekanntmachung
im Patentblatt 09.02.95
- (54) Bezeichnung des Gegenstandes
Programmierbarer Verteiler für
Unterbrechungs-Anforderungen in einem
Computer-System
- (73) Name und Wohnsitz des Inhabers
Munz, Heinrich, 88368 Bergatreute, DE; Leibinger,
Josef, 88250 Weingarten, DE
- (74) Name und Wohnsitz des Vertreters
Riebling, P., Dipl.-Ing. Dr.-Ing., Pat.-Anw.,
88131 Lindau

(56) Recherchenergebnis:

=====

Druckschriften:

DE 40 00 582 A1
DE 33 35 549 A1

DE 37 26 659 A1

Literatur:

N.N.: Interrupt Controller Diagnostic Wrap Arrangement. In: IBM Technical Disclosure Bulletin, Vol. 29, No. 9, Febr. 1987, S.3871,3872;
MARKULEC, M.: Expandable priority interrupt system. In: RCA Technical Notes TN-961, S.1-3, Juni 1974, S.1-3;
HALL, J.D.; et.al.: Multiple Interrupt Registration. In: IBM Technical Disclosure Bulletin, Vol. 26, No. 1, June 1983, S.226-227;
CHRISTENSEN, N.T.; et.al.: Interrupt Multiplexing.

19 BUNDESREPUBLIK DEUTSCHLAND

DEUTSCHES PATENTAMT



12

Gebrauchsmuster

U 1

Seite 2

Rollennummer G 94 03 121.5

In: IBM Technical Disclosure Bulletin, Vol. 20,
No. 2, July 1977, S.698-700;
GARROW, Robert; et.al.: 16-bit single-board com-
puter maintains 8-bit family ties. In: Electro-
nics/Oct. 12,1978, H.21, S.105-110;
NEUSCHWANDER, Jürgen: Struktur und Programmierung
eines Mikroprozessorsystems, R.Oldenbourg Verlag
München Wien 1988, S.168-177,184-191;

Anmelder:

Heinrich Munz, Roßberger Straße 4, 88368 Bergatreute
u n d

05 Josef Leibinger, Wolfeggerstraße 50/1, 88250 Weingarten

10 Programmierbarer Verteiler für Unterbrechungs-An-
forderungen in einem Computer-System

Die Neuerung betrifft einen programmierbaren Verteiler
nach dem Oberbegriff des Schutzanspruchs 1.

15 Es sind programmierbare Verteiler als solches bekannt,
die auch unter dem Begriff Multiplexer bekannt sind.

Bei derartigen programmierbaren Verteilern geht es
darum, daß aus einer Reihe von anliegenden Eingangs-
20 signalen per Schaltbefehl ein oder mehrere Ausgangs-
signale gebildet werden.

Es ist auch bekannt, derartige Verteiler oder Multiplexer
auf einer Steckkarte eines Computer-Systems anzuordnen,
25 oder z.B. auf dem Motherboard des Prozessors selbst,
wobei die Verteiler u.a. dazu dienen, Interrupt-An-
forderungen richtig zuzuordnen.

Bisher war es jedoch nicht möglich, aus einer Anzahl
30 von Hardware-Interrupt-Quellen eine derartige Hardware-
Interrupt-Quelle auszuwählen, die es erlaubt, den Prozes-
sor unbedingt und unmittelbar in eine Interrupt-Verzwei-
gungs-Routine umzuschalten.

35 Ein unmittelbares Reagieren eines Computer-Systems

auf externe Unterbrechungen (Interrupts) innerhalb einer vorgegebenen, kurzen Zeit, z.B. unter dem Betriebssystem Windows, war bis jetzt nicht möglich. Ein wichtiger Begriff bei derartigen Unterbrechungs-Anforderungen ist die
05 Interrupt-Latenzzeit. Diese typische Systemkonstante beschreibt die maximale Zeit, die zwischen externen Anforderungen (Interrupt-Request) und der Reaktion des Steuerungsprogramms vergehen kann. Diese Latenzzeit liegt in der Meßtechnik, je nach Anforderung, im Bereich
10 von einigen Mikro- bis zu einigen Millisekunden.

Es war bisher also nicht möglich, unter dem Betriebssystem Windows eine konstante Interrupt-Latenzzeit zu definieren, weil das System unterschiedlich schnell auf unterschied-
15 liche Interrupt-Anforderungen reagiert. Wird z.B. eine externe Interrupt-Anforderung gestellt, so sendet der Interrupt-Controller eine dem Interrupt zugeordnete Vektornummer an den Prozessor, der seinerseits den Aufruf der jeweiligen Behandlungsroutine initiiert. Unter MS-
20 DOS z.B. dauert dieser Vorgang 12 - 15 Mikrosekunden; unter Windows jedoch gelangt die Interrupt-Routine nicht direkt zum Ablauf. Teile des virtuellen Interrupt-Controller-Treibers werden zur Initialisierung aufgerufen, was die Interrupt-Latenzzeit typischerweise auf ca. 50
25 Mikrosekunden erhöht. Das Eintreffen höher priorisierter Interrupts, z.B. von einem Timer oder Netzwerk, kann den Ablauf der Initialisierung unterbrechen, so daß bei Systemen mit hoher Belastung diese Zeiten massiv überschritten werden können.

30

Der Neuerung liegt deshalb die Aufgabe zugrunde, eine Schaltung vorzuschlagen, mit der es möglich ist, an einem nicht-echtzeitfähigen Computer-System eine Echtzeitfähigkeit herbeizuführen.

35

Die Lösung der gestellten Aufgabe erfolgt durch die neuerungsgemäße technische Lehre des Anspruchs 1.

Wesentliches Merkmal der Neuerung ist, daß nun eine
05 Zusatzschaltung vorgeschlagen wird, auf der mindestens
ein programmierbarer Verteiler angeordnet ist, welchem
Verteiler auf der Eingangsseite die Hardware-Interrupt-
Quellen zugeführt werden und an dessen Ausgang ein
oder mehrere NMI-Leitungen ansetzen, welche unmittelbar
10 einem Prozessor zugeführt sind.

Damit ist sichergestellt, daß der programmierbare Verteiler
aus der Anzahl der anliegenden Hardware-Interrupt-Quellen
durch einen Software-Befehl gesteuert oder durch eine
15 galvanische Verbindung eine oder mehrere der Hardware-
Interrupt-Signale auf das am Ausgang anliegende NMI-Signal
aufschaltet.

Mit Erzeugung des NMI-Signals wird somit der Prozessor
20 echtzeitfähig gemacht, weil er unmittelbar und zwangsläufig
mit der Erzeugung eines NMI-Signals in eine Interrupt-
Routine gezwungen wird.

Wichtig bei der vorliegenden Neuerung ist, daß es sich
25 um eine Einsteck- oder Aufsteckkarte handeln kann,
die nachträglich in ein ansich bekanntes Computer-System
eingebracht werden kann.

Soweit es sich um eine Einsteckkarte handelt, wird
30 hierbei vorausgesetzt, daß die Einsteckkarte eingangs-
seitig Zugang zum PC-Bus hat, der entweder als ISA-
Bus, als VESA-Bus oder als Local-Bus ausgebildet sein
kann.

35 Auf der Ausgangsseite werden dann ein oder mehrere

NMI-Leitungen angesteuert, welche unmittelbar auf den an anderer Stelle sitzenden Prozessor aufgeschaltet sind.

- 05 Der Erfindungsgegenstand der vorliegenden Neuerung ergibt sich nicht nur aus dem Gegenstand der einzelnen Schutzansprüche, sondern auch aus der Kombination der einzelnen Schutzansprüche untereinander.
- 10 Alle Unterlagen, einschließlich der Zusammenfassung, offenbarten Angaben und Merkmale, insbesondere die in den Zeichnungen dargestellte räumliche Ausbildung werden als erfindungswesentlich beansprucht, soweit sie einzeln oder in Kombination gegenüber dem Stand der Technik neu sind.
- 15 Im folgenden wird die Erfindung anhand von lediglich einen Ausführungsweg darstellenden Zeichnungen näher erläutert. Hierbei gehen aus den Zeichnungen und ihrer Beschreibung weitere erfindungswesentliche Merkmale und Vorteile der Er-
- 20 findung hervor.

Es zeigen:

Figur 1: ein Blockschaltbild eines IRQ-Routers;

25

Figur 2: das Platinen-Layout eines neuerungsgemässen IRQ-Routers.

- 30 In der unteren Hälfte von Figur 1 (unterhalb der gestrichelten Linien) ist die normalerweise in einem Prozessor-System schon vorhandene Interrupt-Hardware gezeigt. Die obere Hälfte von Figur 1 zeigt die erfindungsgemässe zusätzliche Hardware in Form des IRQ-Routers.

35

In einem PC-Bus 2 werden eine Anzahl von externen Hardware-Interrupt-Quellen IRQ...(vergleiche in der Abbildung links) geführt.

05 Diese Hardware-Interrupt-Quellen 1 werden zu einem Teil über einen ersten Unterbrecher-Controller 3 einem zweiten Unterbrecher-Controller 4 zugeführt oder sie werden wahlweise dem zweiten Unterbrechungs-Controller zugeführt.

10

Der zweite Unterbrechungs-Controller 4 erzeugt ein Signal, welches über das sogenannte maskierbare Interrupt-Pin 6 dem Prozessor 7 zugeführt wird. Auf diese Weise kann ein Interrupt am Prozessor 7 erzeugt werden, welcher
15 allerdings durch einen Software-Befehl abgeschaltet werden kann.

Erfindungsgemäss ist nun in einer ersten nicht näher dargestellten Schaltung vorgesehen, daß eine externe
20 Hardware-Interrupt-Quelle unmittelbar mit der Leitung 10 verbunden ist, welche Leitung mit dem sogenannten NMI gekoppelt ist. Diese Signalleitung führt eine unmittelbare Unterbrechung am Prozessor herbei, unabhängig von einem anliegenden Software-Befehl.

25

In einer Weiterbildung einer Vorrichtung nach der Erfindung ist gemäss der Abbildung vorgesehen, daß die Hardware-Interrupt-Quellen aus dem PC-Bus 2 herausgeführt werden und einem sogenannten IRQ-Router (Verteiler 8) zugeführt
30 werden.

Dieser Verteiler 8 ist programmierbar und entscheidet, welche Hardware-Interrupt-Quelle sich auf die Leitung 10 mit dem nicht-maskierbaren Interrupt 9 aufschalten
35 darf.

Sobald auf dieser Leitung 10 ein Signal erscheint,
wird der Prozessor unbedingt unterbrochen, unabhängig
davon, ob per Software ein Interrupt gesperrt ist oder
05 nicht.

Das bedeutet, entsprechend einem Signal auf der Leitung
10 ist also der Prozessor 7 echtzeitfähig, weil er
zu beliebigen Zeitpunkten ein Interrupt durchführen
10 kann.

Auf einer Leiterplatte 11 sind randseitig mehrere Steck-
kontakte 12 angeordnet, die über entsprechende Verbindungen
mit dem PC-Bus 2 verbunden sind.

15 Die Hardware-Interrupt-Quellen 1 werden beispielsweise
in der Mitte der Steckkontakte 12 an der Leiterplatte
11 zugeführt und werden auf die Eingangsseite des program-
mierbaren Verteilers 8 geschaltet.

20 Um eine Programmierung des Verteilers zu gewährleisten,
sind entsprechende Bausteine auf der Leiterplatte
angeordnet, wie z.B. Treiberbausteine 14, um die Interrupt-
Signalquellen auf einen bestimmten Pegel anzuheben,
ferner Adress-Decoder 13, um den programmierbaren Ver-
25 teiler entsprechend anzusteuern.

Mit einem Schalter 15 wird eine gewisse Voreinstellung
fest eingestellt.

30 Es ist im übrigen noch ein Quarz-Oszillator 16 vorhanden,
der als Taktgeber für das NMI-Signal auf der Leitung
10 wirken kann.

Bezüglich des programmierbaren Verteilers 8 ist übrigens
35 nur der Sockel dargestellt, der eine Vielzahl von Anschluß-

09.03.94

04.02.1994

kontakten 17 aufweist.

An der Seite der Steckkontakte 12 werden nicht nur die Hardware-Interrupt-Quellen 1 zugeführt, sondern
05 es findet noch eine Reihe von weiteren Zuführungen von Signalen statt, die z.B. als Daten- und Adressleitungen 18 bezeichnet werden können.

Entsprechend der eingezeichneten Pfeilrichtungen bei
10 den Hardware-Interrupt-Quellen 1 werden also diese Quellen 1 in die Leiterplatte 11 eingespeist und verlassen diese Leiterplatte 11 an einer anderen Stelle über andere Steckkontakte als NMI-Signal (10).

15 Die vorliegende Neuerung ist nicht auf das hier dargestellte Ausführungsbeispiel einer Leiterplatte 11 beschränkt, es kann auch vorgesehen sein, daß die Leiterplatte nicht als Steckkarte ausgebildet ist, sondern als Stecker ausgebildet sein kann, der auf bestimmte
20 Anschlußbuchsen aufgesteckt werden kann, oder dergleiche mehr.

01.03.94

04.02.1994

Zeichnungs-Legende

- 1 Hardware-Interrupt-Quellen (extern)
- 05 2 PC-Bus
- 3 Unterbrechungskontroller
- 4 "
- 4 Hardware-Interrupt-Quelle (intern)
- 6 Maskierbarer Interrupt-Pin (INT)
- 10 7 Prozessor
- 8 Verteiler
- 9 Nicht-maskierbarer Interrupt (NMI)
- 10 Leitung
- 11 Leiterplatte
- 15 12 Steckkontakt
- 13 Adreßdekoder
- 14 Treiberbaustein
- 15 Schalter
- 16 Quarzoszillator
- 20 17 Anschlußkontakte
- 18 Daten- und Adreßleitungen

01.03.94

Postfach 3160
D-88113 Lindau (Bodensee)
Telefon (08382) 78025
Telefax (08382) 78027

05

10

M 896-54-ku

15

Anmelder:

Heinrich Munz, Roßberger Straße 4, 88368 Bergatreute
u n d

Josef Leibinger, Wolfeggerstraße 50/1, 88250 Weingarten

20

S c h u t z a n s p r ü c h e

1. Programmierbarer Verteiler (Multiplexer) für Unter-
25 brechungs-Anforderungen in einem Computer-System, welcher
aus ein- oder mehreren Eingangssignalen ein- oder mehrere
Ausgangssignale bildet, d a d u r c h
g e k e n n z e i c h n e t, daß dem Verteiler (8)
auf der Eingangsseite die bestehenden Hardware-Interrupt-
30 Quellen (1) zugeführt werden, und aus einer oder mehreren
dieser Eingangssignale (1) ein- oder mehrere nicht-maskier-
bare Interrupt-Signale (NMI) (9) gebildet werden, welche
dem NMI-Eingang des Prozessors (7) zugeführt werden.

35 2. Programmierbarer Verteiler nach Anspruch 2,

d a d u r c h g e k e n n z e i c h n e t, daß der Verteiler (8) über entsprechende Software programmierbar ist.

- 05 3. Programmierbarer Verteiler nach einem der Ansprüche 1 oder 2, d a d u r c h g e k e n n z e i c h n e t, daß der Verteiler (8) über DIP-Schalter (15) voreingestellt (programmiert) werden kann.
- 10 4. Programmierbarer Verteiler nach einem der Ansprüche 1 - 3, d a d u r c h g e k e n n z e i c h n e t, daß ein oder mehrere Verteiler (8) auf einer Einsteck- oder Aufsteck-Karte (11) angeordnet sind.
- 15 5. Programmierbarer Verteiler nach einem der Ansprüche 1 - 3, d a d u r c h g e k e n n z e i c h n e t, daß ein oder mehrere Verteiler (8) als Modul zum Anstecken an eine externe Bus-Schnittstelle ausgeführt sind.
- 20 6. Programmierbarer Verteiler nach einem der Ansprüche 1 - 5, d a d u r c h g e k e n n z e i c h n e t, daß die NMI-Interrupt-Anforderungen in einem vom Quarzoszillator (16) vorgegebenen Takt freigegeben
- 25 werden.

04-02-94

15.05.94

1/2

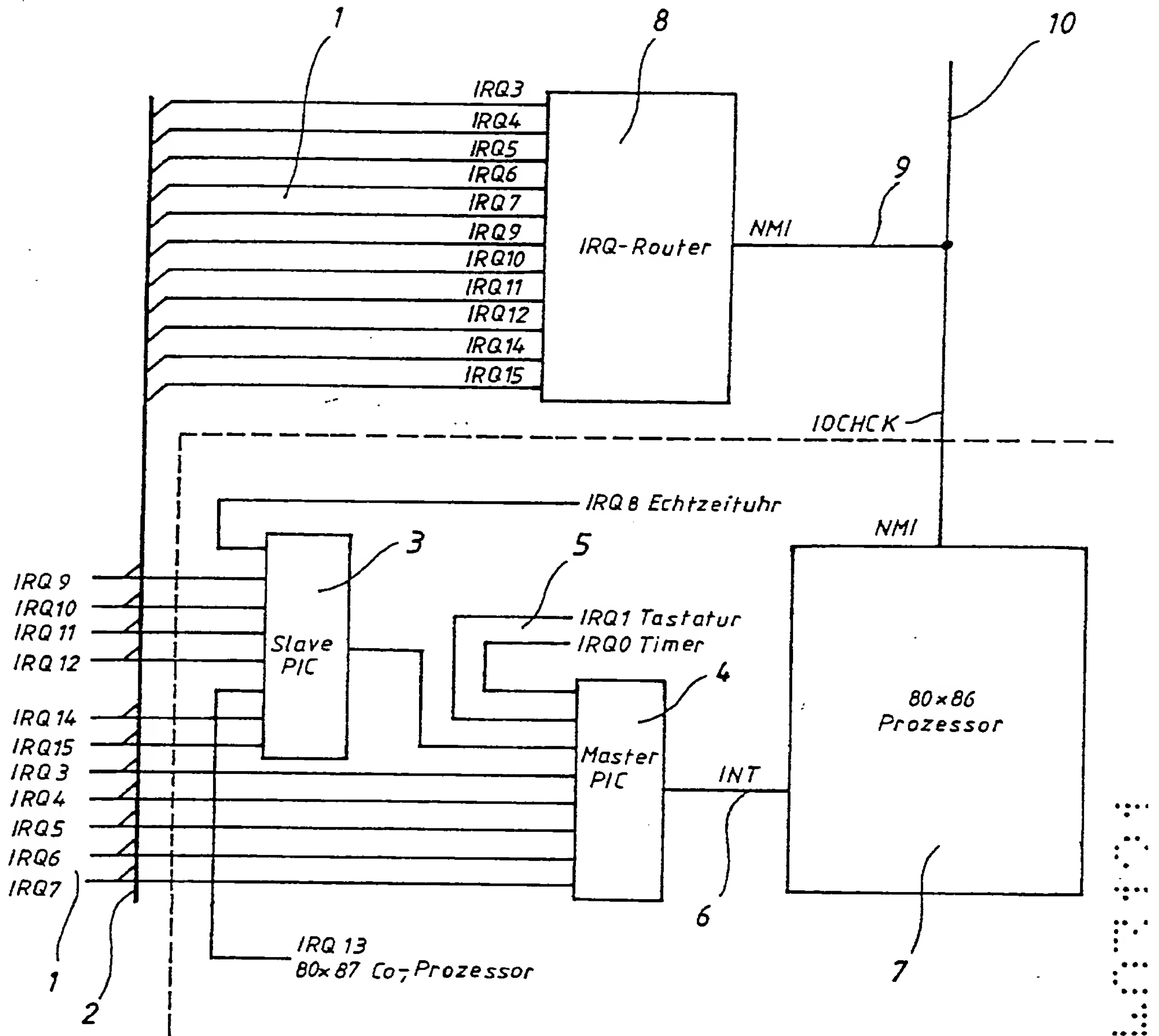


FIG 1

15.08.94

2/2

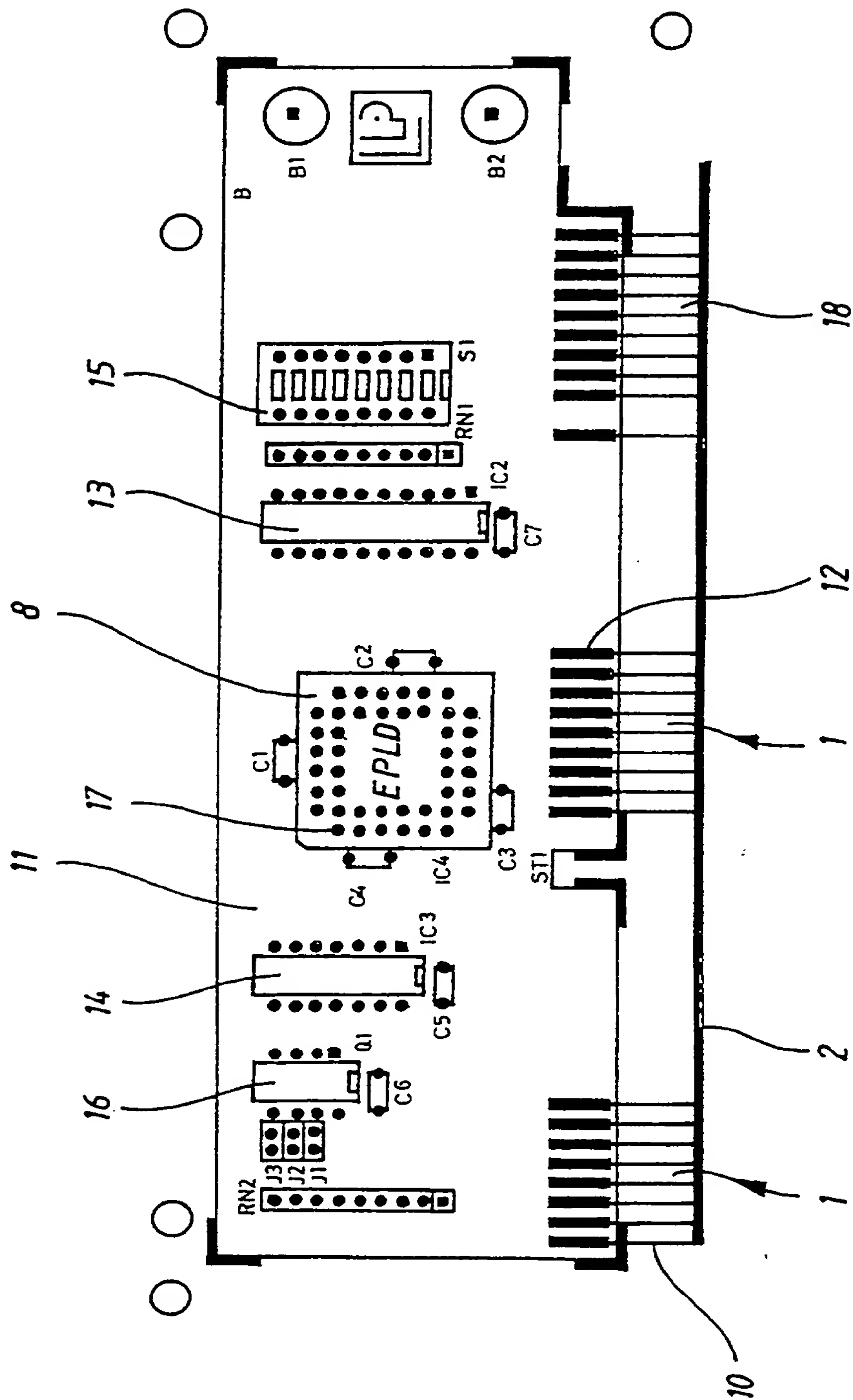


FIG 2

Ausdruck der Rechercheergebnisse**DE 4406094****Familienmitglieder**

CC PUBDAT KD DOC.NO. CC PR.DAT AKP YY PR. NO.
DE 310895 A1 4406094 DE 250294 PA 94 4406094
DOCUMENT LAID OPEN (FIRST PUBLICATION)
US 130198 A 5708818
UNITED STATES PATENT
2 MITGL. 2 LAENDER

Rechtsstandsinformation

CC TP DOC.NO. PRSDAT
DE P 4406094 310895 + LAYING OPEN FOR PUBLIC INSPECTION
-''- + SEARCH REPORT AVAILABLE AS TO PARAGRAPH 43 LIT. 1
SENTENCE 1 PATENT LAW
-''- + REQUEST FOR EXAMINATION AS TO PARAGRAPH 44 PATENT LAW
171096 NEW PERSON/NAME/ADDRESS OF THE APPLICANT LP ELEKTRONIK
GMBH, 88250 WEINGARTEN, DE
-''- INVENTOR (NEW SITUATION) MUNZ, HEINRICH, 88368
BERGATREUTE, DE LEIBINGER, JOSEF, 88250 WEINGARTEN,
DE
US P 5708818 130198 PATENT
6 PRS-INFO

2.7.98 Wr